

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-015325

(43)Date of publication of application : 13.02.1978

(51)Int.Cl.

C07C101/16
C07C101/50
C07C103/44
C07C103/46
C07C103/82
C07C103/84
C07C149/42
C07D213/64
C07D257/04
C07D277/66
// A61K 31/195
A61K 31/235
A61K 31/395
A61K 31/425
A61K 31/44

(21)Application number : 51-090754

(71)Applicant : FUJISAWA PHARMACEUT CO
LTD

(22)Date of filing : 28.07.1976

(72)Inventor : UEDA IKUO
KITaura YOSHIHIKO

(54) N-SUBSTITUTED PHENYLAMINO FATTY ACID DERIVATIVES

(57)Abstract:

PURPOSE: The title compounds I(R1-2 are halogen or alkyl;R3 is H, halogen, nitro-cycloalkyl, alkoxy, aryloxy, etc.;R4 is H, or acyl;R5 is alkylene or aralkylene;when R3 is H, R4 is acyl), e.g. N-(2,6-dichloro-4-phenoxy)glycine.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315325

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.³ 識別記号 施内整理番号 F I
H 01 L 21/3205

21/90 P 7735-4M
27/108

7735-4M H 01 L 21/88 K
8728-4M 27/10 3 25 R

審査請求 未請求 請求項の数2(全9頁)

(21)出願番号 特願平4-117698

(22)出願日 平成4年(1992)5月11日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 山田 敏
神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内
(72)発明者 高東 宏
神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内
(72)発明者 須之内 一正
神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内
(74)代理人 弁理士 木村 高久

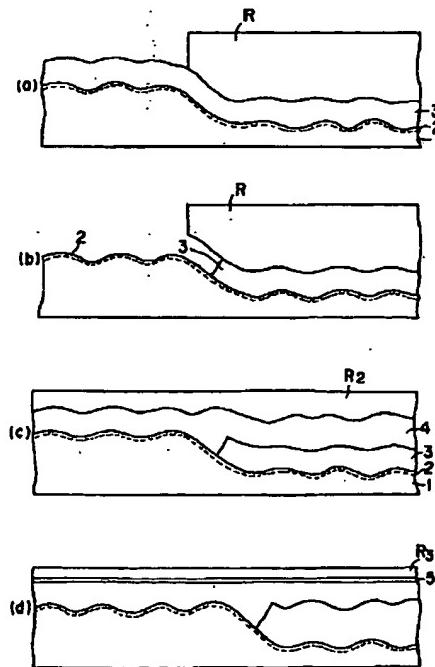
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、高精度の微細パターンを形成することのできる半導体装置の製造方法を提供することを目的とする。

【構成】 本発明では、基板表面に層間絶縁膜を形成するに際し、DRAMの非メモリセル領域のような段差の下領域に選択的にレベル合わせ用の第1の絶縁膜を形成するとともに、さらに表面全体を覆うように第2の絶縁膜を形成するようにしている。



1

【特許請求の範囲】

【請求項1】 段差を有する半導体基板表面に層間絶縁膜を形成するに際し、

前記半導体基板表面全体に第1の層間絶縁膜を形成する第1の層間絶縁膜形成工程と、

前記第1の層間絶縁膜をバーニングし段差の下部領域に選択的にレベル合わせ用の第1の層間絶縁膜を残留せしめる第1のエッティング工程とこの上層に、さらに前記基板表面全体を覆うように第2の層間絶縁膜を形成する第2の層間絶縁膜形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 段差を有する基板表面あるいは段差を有する基板表面に形成された膜をバーニングするに際し、

段差を有する基板表面あるいは段差を有する基板表面に形成された膜上に第1のレジストを塗布し、段差の上部領域のレジストを選択的に除去し段差の下部領域にのみ選択的にレベル合わせ用の第1のレジストを残留せしめる第1のレジスト形成工程と、

さらに表面全体を覆うように第2のレジストを形成し、フォトリソグラフィにより少なくとも前記第2のレジストをバーニングする第2のレジスト形成工程と前記第2のレジストをマスクとして、基板表面あるいは基板表面に形成された膜をバーニングする工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特にミリレンジ領域の大きな段差のある表面への層間絶縁膜の形成およびその表面でのパターン形成に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化に伴い、回路の微細化は進む一方であり、配線においても微細化および多層化が急速に進められている。

【0003】このような状況の中で、層間絶縁膜表面はなめらかである必要がある。それは急峻な段差があると、その後の配線等のバーニングが困難となるためである。そこで層間絶縁膜としてリンガラスなどを用い、これを堆積したのち、熱工程によりリンガラスに流動性をもたせ、表面を平坦化する方法が従来から用いられている(リンガラスフロー)。

【0004】しかしながら、従来のリンガラスフロー法を用いると、この層間絶縁膜上のリソグラフィ技術が極めて困難となる。それは、例えば積層型DRAMの場合、キャパシタとトランジスタとを形成した後、層間絶縁膜を形成してリンガラスフローにより平坦化しても、メモリセル領域と非メモリセル領域とで大きな段差が存在する。これはメモリセル領域には、非メモリセル領域には存在しないキャパシタが表面に突出して形成されて

2

いるためである。このような形状の基板表面にレジストを堆積すると、図10に示すように段差の下部ではレジストの膜厚が平坦部よりも厚くなるためリソグラフィの解像度が低下し、微細なバーニングが困難となる。第2に段差部下側の非メモリセル領域でも段差部から数十乃至数ミクロン離れるとレジストの膜厚も通常の膜厚になるため、段差部上のレジスト表面の高さと、段差下の表面の高さとでは、大きな段差分のレベル差が生じてしまう。従って、フォトリソグラフィの光の焦点をいずれかのレジスト膜厚に合わせるともう一方には合わなくなり、焦点がぼけで微細なバーニングを行うことが困難となる。

【0005】また、層間絶縁膜を平坦化したとして、レジストパターンのパターン精度は上がるが、図11に示すように段差の下の部分と上の部分とでは層間絶縁膜の膜厚が大きくなるため、コンタクトの深さが大きく異なり、深いコンタクトに合わせると、浅いコンタクト領域でオーバーエッティングが生じ、一方浅いコンタクトに合わせると深いコンタクト部分ではコンタクトをとることができず、コンタクトエッティングを良好に行うことができないという問題がある。

【0006】

【発明が解決しようとする課題】このように従来の方法では、露光によるレジストパターン形成工程で表面に大きな段差がある場合、段差下部でレジストの膜厚が大きくなり、未露光部分ができてしまうことと、大きな段差を持つ場合は段差部から離れるとレジスト表面にも大きな段差分のレベル差を生じてしまい、光リソグラフィの光の焦点がぼけてしまうこととの2つの理由により、十分なパターン精度を得ることができないという問題があった。

【0007】また、大きな段差上に、表面が平坦となるように層間絶縁膜を形成できたとしても、層間絶縁膜の膜厚に大きな差ができ、コンタクトエッティングを良好に行うことができないという問題がある。

【0008】本発明は、前記実情に鑑みてなされたもので、高精度の微細パターンを形成することのできる半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】そこで本発明では、段差を有する基板表面に層間絶縁膜を形成するに際し、DRAMの非メモリセル領域のような段差の下部領域に選択的にレベル合わせ用の第1の絶縁膜を形成するとともに、さらに表面全体を覆うように第2の絶縁膜を形成するようしている。

【0010】また本発明の第2では、段差を有する基板表面あるいは段差を有する基板表面に形成された膜をバーニングするに際し、第1のレジストを塗布し段差の上部領域のレジストをフォトリソグラフィ等により選択的に除去し段差の下部領域にのみ選択的にレベル合わせ

50

用の第1のレジストを残留せしめるとともに、さらに表面全体を覆うように第2のレジストを形成し、フォトリソグラフィにより少なくとも第2のレジストをバーニングしこれをマスクとして、基板表面あるいは基板表面に形成された膜をバーニングするようにしている。

【0011】

【作用】上記第1によれば、第1の層間絶縁膜で段差下部を埋め込み、さらにこの上層に第2の層間絶縁膜を形成するようにしているため、表面の平坦化をはかることができ、フォトリソグラフィに際してもパターン精度の向上をはかることができる。

【0012】望ましくはこの第1の層間絶縁膜の埋め込みは第1の層間絶縁膜形成後、段差上部をフォトリソグラフィや研磨等により選択的に除去することによって行う。これにより深い段差領域のみ良好に埋め込むことができる。

【0013】また本発明の第2によれば、第1のレジストを塗布し段差の上部領域のレジストをフォトリソグラフィや研磨等により選択的に除去し段差の下部領域にのみ選択的にレベル合わせ用の第1のレジストを残留せしめるとともに、さらに表面全体を覆うように第2のレジストを形成しているため、表面の平坦化をはかることができ高精度のパターン形成を行うことが可能となる。また、レジストを除去すればもとの表面レベルに戻すことができる。

【0014】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0015】ここでは、 $1 \mu\text{m}$ 程度の大きな段差を有するシリコン基板1表面にまずエッティングストップとしての窒化シリコン膜2を形成しさらにこの上層に第1の層間絶縁膜として例えば酸化シリコン膜3を堆積し、フォトリソグラフィにより大きな凹部上の酸化シリコン膜3のみを選択的に残した後、さらに第2の層間絶縁膜を基板表面全体に形成し表面の平坦化をはかるようにしたことを特徴とするものである。

【0016】まず図1(a)に示すように、大きな段差を有するシリコン基板1表面にまずエッティングストップとしての窒化シリコン膜2を膜厚 $2.0 \mu\text{m}$ 程度堆積し、さらにこの上層に第1の層間絶縁膜として酸化シリコン膜3を堆積し、さらにこの上層にフォトレジストRを塗布しフォトリソグラフィにより大きな凹部上にのみレジストパターンRを残留させるようする。酸化シリコン膜3の膜厚は自由に変えて良く、大きな段差をすべて解消するには同程度($1 \mu\text{m}$)程度の膜厚が必要となる。

【0017】ついでこのレジストパターンRをマスクとしフッ化アンモニウム溶液(NH_4OH)あるいはフッ酸(HF)溶液を用いて、このレジストパターンRから露呈する領域の酸化シリコン膜3を選択的にエッティング除去する(図1(b))。このようにして凹部にのみ選択

的に酸化シリコン膜3が残留せしめられる。このエッチングに際しては空気シリコン膜がエッティングストップとして働くため、エッティングオーバーになっても下地に影響を及ぼすおそれはない。なおここでは等方性エッティングを用いたが、異方性エッティングを用いても良い。

【0018】そしてレジストパターンRを剥離除去した後、図1(c)に示すように、第2の層間絶縁膜として例えばリンガラスをCVD法により形成し、 850°C 程度に加熱して溶融せしめ表面の平坦化をおこなう。これで、大きな段差は解消され、なめらかな小さな段差のみとなり、この上のリソグラフィの精度をかなり向上することが可能となる。しかしながら、まだ表面の小さい凹凸は残るため、図1(c)に示すように基板表面全体にレジストR2を塗布し、エッチバックを行う。

【0019】これにより表面は完全に平坦化される。このようにしてリソグラフィ技術を行えば良い。この方法としては通常のリソグラフィ技術あるいは図1(d)に示すように行う。すなわち反射防止膜としてのカーボン膜5を堆積しさらに膜厚 $0.5 \mu\text{m}$ 程度のレジスト膜R3を形成する。ここで基板表面が完全に平坦化されているため、レジストの膜厚は薄くてもよい。しかしながらレジストが薄いと基板表面での反射が顕著となるためこのように反射防止膜を設けることによりよりパターン精度の向上をはかるようしている。

【0020】このようにして形成したレジスト膜R3に対しパターン露光を行いレジストパターンを形成して、このレジストパターンをマスクとして層間絶縁膜をエッティングする。あるいは、レジストパターンをマスクとしてまずカーボン膜をバーニングし、必要ならばレジストパターンを除去したのち、層間絶縁膜をエッティングしてもよい。

【0021】このように、本発明によれば平坦な表面に極限まで薄くしたレジストを形成しているためフォトリソグラフィの精度は極めて高いものとなり、極めてパターン精度の高いコンタクトホールあるいは配線の形成が可能となる。

【0022】なお前記実施例では、反射防止膜としてカーボンを用いたが、カーボンはシリコンやシリサイドあるいはA1膜とのエッティング選択比が5倍程度もあるため、耐エッティング膜としても有効に作用し、レジストの膜厚が薄くても十分にエッティングに耐え得るものとなっている。

【0023】なおこの反射防止膜はカーボンに限定されることなく、チタンナイトライドなどの金属膜を用いても良いし、反射防止膜を設けなくても良い。

【0024】また、このカーボン膜は耐エッティング膜としても作用しているが、レジストにシリコンを含有させるなど、レジストそのものの耐エッティング性を高める方法をとることも可能である。

【0025】次に、本発明の第2の実施例について説明

する。

【0026】この例では、エッティングストッパーとして新たに膜を設けることなく通常のデバイス形成においてセルフアラインコンタクトの形成時にエッティングストッパーとして用いる膜を、平坦化のためのエッティングストッパーとしても利用したことを特徴とするものである。

【0027】図2(a)乃至(c)はそのパターン形成工程を示す工程図である。

【0028】まず、比抵抗 $4\sim6\Omega/\text{cm}$ のシリコン基板11表面にゲート酸化膜12としての酸化シリコン膜およびゲート電極13としての多結晶シリコン膜を順次堆積しフォトリソグラフィによりこれらをパターニングしたのち、ゲート電極の周りを酸化シリコン膜あるいはシリコンナイトライド膜からなる保護絶縁膜14で被覆し、イオン注入を行いソースドレインなど所望の素子領域(図示せず)を形成する。この後、表面を軽く酸化し薄い酸化シリコン膜15を形成し、この上にエッティングストッパーとしての空化シリコン膜16を形成する。そして、さらに第1の層間絶縁膜としてCVD法によりBPSG膜17を形成する。ここで基板表面はゲート電極の存在により表面が突出し、大きな段差を形成している。ここで必要に応じてリフローやエッチパックを行うようにしてもよい。そしてさらに前記第1の実施例と同様にこの上層にフォトレジストRを塗布しフォトリソグラフィにより大きな凹部上にのみレジストパターンRを残留させるようする(図2(a))。

【0029】次いで、このレジストパターンRをマスクとしフッ化アンモニウム溶液(NH_4OH)あるいはフッ酸(HF)溶液を用いて、このレジストパターンRから露呈する領域のBPSG膜17を選択的にエッティング除去し、凹部にのみ選択的にBPSG膜17を残留せしめる。このエッティングに際しては空化シリコン膜がエッティングストッパーとして働くため、エッティングオーバーになっても下地に影響を及ぼすおそれはない。

【0030】そしてレジストパターンRを剥離除去した後、図2(b)に示すように、第2の層間絶縁膜としてBPSG膜18をCVD法により形成する。ここでも必要に応じて平坦化を行う。そして、さらにこの上層に基板表面全体にレジストを塗布し、セルフアラインコンタクト形成のためのレジストパターンを形成し、このレジストパターンR3をマスクとしフッ化アンモニウム溶液(NH_4OH)あるいはフッ酸(HF)溶液を用いて、コンタクト領域のBPSG膜18、17を選択的にエッティング除去する。このとき、空化シリコン膜16がエッティングストッパーとして働くため、下地がエッティングされるおそれはない。

【0031】そして薄い酸化シリコン膜15をストッパーとして用いてコンタクト領域の空化シリコン膜16をエッティングしたのちあるいはそれと同時に、薄い酸化シリコン膜1をエッティング除去することによりシリコン基

板11を露呈せしめ、所望の配線パターン19を形成する(図2(c))。ここでこの配線パターンの形成に際し表面が平坦化されているためパターン精度は極めて良好なものとなっている。なお、前記第2の実施例ではエッティングストッパーとして空化シリコン膜を用いたが、多結晶シリコン膜を用いても良い。

【0032】本発明の第3の実施例としてエッティングストッパーとして多結晶シリコン膜を用い、積層型のDRAMを形成する方法について、図3(a)乃至(c)を参照しつつ説明する。

【0033】この例ではピット線後作りタイプの積層型のDRAMの形成に際し、キャバシタのプレート電極32をピット線コンタクト33のエッティングストッパーとして用いるとともに、層間絶縁膜平坦化のためのエッティングストッパーとして用いたものである。

【0034】このDRAMは、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板21内に形成された素子分離絶縁膜22によって分離された活性化領域内に、ソース・ドレン領域を構成するn-型拡散層26a、26bと、これらソース・ドレン領域間にゲート絶縁膜24を介して形成されたゲート電極25とによってMOSFETを構成すると共に、ストレージノードコンタクト28を介してこのn-型拡散層26bにコンタクトするようにストレージノード電極30が形成され、上層のプレート電極32との間にキャバシタ絶縁膜31を介在せしめることによりキャバシタを形成している。そしてさらにレジストによって平坦化された層間絶縁膜27bに形成されたピット線コンタクト23を介してピット線24が形成される。そしてゲート電極25はメモリアレイの一方向に連続的に配列されてワード線を構成する。

【0035】次に、このDRAMの製造方法について図面を参照しつつ説明する。

【0036】まず、図3(a)に示すように、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板21の表面に、通常のLOCOS法により素子分離絶縁膜22およびパンチスルーストッパー用のp-型拡散層(図示せず)を形成した後、熱酸化法により膜厚 10nm 程度の酸化シリコン膜からなるゲート絶縁膜24を形成する。この後、ゲート電極材料としての多結晶シリコン膜を全面に 150nm 程度堆積し、さらにこの上層にLPCVD法により酸化シリコン膜等の絶縁膜を膜厚 $100\sim300\text{nm}$ 程度堆積し、フォトリソ技術および異方性エッティング技術を用いてゲート電極25およびゲート上の絶縁膜27uを同時にパターニングする。なお、ここでゲート電極上の絶縁膜として、空化シリコン膜あるいは空化シリコン膜と酸化シリコン膜の複合膜を用いても良い。空化シリコン膜は、酸化シリコン膜に比べ、コンタクト形成および配線形成時に行われる希HF溶液を用いた処理に対し強い耐エッティング性をもつためゲート電極とコンタクトの配線のショートの防止に対してより有効となる。そして、このゲ

7

8

ート電極25をマスクとしてAsあるいはPイオンをイオン注入し、n-型拡散層からなるソース・ドレイン領域26a, 26bを形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば150nm程度とする。この後、ゲート絶縁膜の耐圧を向上させるために必要であれば熱酸化を行い、さらにCVD法により、膜厚100nm程度以下の酸化シリコン層あるいは窒化シリコン層からなる絶縁膜を全面に堆積し、反応性イオンエッティング法により、全面をエッティングし、ゲート電極25の側面に自己整合的に側壁絶縁膜27sを残置せしめる。側壁絶縁膜27sとしては、ゲート上絶縁膜と同様、窒化シリコン膜を用いることにより、より耐圧の向上をはかることができる。この後、この側壁絶縁膜27sおよび上部絶縁膜27uから露呈するn-拡散層26aおよび26b表面が露呈した状態で、全面に多結晶シリコン膜を100～400nm程度堆積し、これにリンまたはヒ素をドーピングし、フォトリソグラフィと反応性イオンエッティングによりパターン形成してストレージノード電極30を形成する。そしてCVD法により膜厚10nm程度の窒化シリコン膜を堆積した後900°C程度の水蒸気雰囲気中で30分程度酸化し、酸化シリコン膜を形成し、窒化シリコン膜と酸化シリコン膜との2層構造のキャバシタ絶縁膜31を形成する。このときこの窒化シリコン膜および酸化シリコン膜はピット線コンタクトを形成するn-拡散層26aにも形成される。さらにこの上層に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソグラフィー技術および反応性イオンエッティング技術によりプレート電極32をバーニングする。ここでプレート電極およびキャバシタ絶縁膜はn-拡散層26aまで覆うようにバーニングする。これは、プレート電極およびキャバシタ絶縁膜をエッティングストッパーとして用いるためである。ここで基板表面はゲート電極およびキャバシタの存在により表面が突出し、大きな段差を形成している。この状態で前記第2の実施例と同様に第1の層間絶縁膜としてCVD法によりBPSG膜37を形成する。ここで必要に応じてリフロー・エッチバックを行うようにしてもよい。そしてさらにこの上層にフォトリジストRを塗布しフォトリソグラフィにより大きな凹部すなわちMOSFETやキャバシタの形成されていない周辺回路部等にのみレジストパターンRを残留させるようにする(図3(a))。

【0037】次いで、このレジストパターンRをマスクとしフッ化アンモニウム溶液(NH₄OH)あるいはフッ酸(HF)溶液を用いて、このレジストパターンRから露呈する領域のBPSG膜37を選択的にエッティング除去し、凹部にのみ選択的にBPSG膜37を残留せしめる。このエッティングに際してはプレート電極32としての多結晶シリコン膜がエッティングストッパーとして働くため、エッティングオーバーになっても下地に影響を及

ぼすおそれはない。

【0038】そしてレジストパターンRを剥離除去した後、図3(b)に示すように、第2の層間絶縁膜としてBPSG膜38をCVD法により形成する。ここでも必要に応じて平坦化を行う。そして、さらにこの上層に基板表面全体にレジストを塗布し、セルフアラインコンタクト形成のためのレジストパターンを形成し、このレジストパターンR3をマスクとしフッ酸(HF)溶液を用いてコンタクト領域のBPSG膜38, 37を選択的にエッティング除去する。このとき、プレート電極32がエッティングストッパーとして働くため、下地がエッティングされるおそれはない。そしてキャバシタ絶縁膜31をストッパーとして用いてコンタクト領域のプレート電極32をエッティング除去したのち、水蒸気雰囲気等を用いた酸化により、プレート電極と後で形成するピット線との絶縁をはかるための絶縁膜を形成し、キャバシタ絶縁膜31をエッティング除去することによりシリコン基板21表面のn-拡散層26aを露呈せしめ、多結晶シリコン層からなるピット線パターン34を形成する(図3(c))。

【0039】ここでピット線パターンの形成に際し表面が平坦化されているためパターン精度は極めて良好なものとなっている。

【0040】以上説明してきた方法によれば、酸化シリコン膜やBPSG膜等の絶縁膜によって低い領域を埋めようにして表面の平坦化をはかった。これらの方法の場合レジストパターンの形成自体は高精度に行うことが可能となるが、実際にはコンタクト深さにばらつきがあり、深いコンタクトに合わせると、浅いコンタクト領域でオーバーエッチングが生じ、一方浅いコンタクトに合わせると深いコンタクト部分ではコンタクトをとることができない等の問題が生じてくる。そこでこの問題を解決するため、レベル合わせのための充填物にレジストを用い、これによって表面の平坦化を行う方法について説明する。この方法ではリソグラフィ工程後にレジストを除去すればもとの段差にもどり、コンタクト深さを左右することはできない。

【0041】まことに、大きな段差を有するシリコン基板31表面に、完全平坦ではない層間絶縁膜としての酸化シリコン膜32を形成し、第1のレジスト膜R1を塗布する(図4(a))。

【0042】そしてフォトリソグラフィによりこの第1のレジスト膜R1を選択的に露光し現像して第1のレジストパターンR1を形成して、大きな段差領域をこの第1のレジストパターンで埋める。ここで必要に応じてベーリングを行い、レジストを溶融状態にし、図4(b)に50一点鎖線で示すようになめらかにしてもよい。

9

【0043】そしてさらに図4(c)に示すように本来のレジストを第2のレジストR2として塗布する。このとき表面は平坦な状態となっている。

【0044】そしてマスクを介してパターン露光を行い現像することにより図4(d)に示すようなレジストパターンR2が形成される。ここでは平坦な基板表面への露光であるため全面にわたって焦点を合わせることができ、高精度のパターン形成が可能となる。

【0045】そして最後に図4(e)に示すように、このレジストパターンR2をマスクとして第2のレジストをRIEによってエッティングすることにより高精度のレジストパターンが得られる。

【0046】なお、第1のレジストパターンの端部でエッジが切り立った状態になっていると、その近傍での第2のレジストの膜厚が大きくなり、光が十分に届かなくなるため、ポジ型レジストではパターン太り(図4(d)n2参照)が、ネガ型レジストではパターン細り(図4(d)n1参照)が生じるおそれがある。この問題は上述したようなペーリングによって緩和可能である。

【0047】また、この場合第1のレジストは感光性をもたないものでもよいが感光性をもつものであれば、第2のレジストの露光と同時に感光させるようにしてもよい。また前記実施例では第1のレジストをフォトリソグラフィによりパターニングしたが、図5に示すように第1のレジストRを点線で示すように全面に塗布した後、ボリッシングにより上から研磨し平坦化してもよい。後は図4(c)乃至(e)に示した前記第4の実施例の方法と同様にすればよい。

【0048】さらに図6に示すように図5の第1のレジストR1を平坦化後全面に残すようにしてもよい。

【0049】また図7に示すように第1および第2のレジストの間に反射防止膜としてカーボン膜やチタンナイトライド膜等40を介在させるようにしてもよい。

【0050】さらに図8に示すようにあらかじめ基板(層間絶縁膜)表面に反射防止膜としてのカーボン膜やチタンナイトライド膜等40を形成し、この上に第1のレジストR1を形成しても良い。

【0051】さらに本発明の他の実施例として、レジストを3層構造にしたものについて説明する。

【0052】まず、図9(a)に示すごとく、パターン形成すべき下地膜の形成された大きな段差を有する基板51の表面に、前記実施例と同様に第1のレジスト膜R1を塗布し、フォトリソグラフィによりこの第1のレジスト膜R1を選択的に露光し現像して第1のレジストパターンR1を形成して、大きな段差領域をこの第1のレジストパターンで埋める。ここでも必要に応じてペーリングを行い、レジストを溶融状態にし、なめらかにしてもよい。あるいは、ボリッシングによる上からの研磨を用いて平坦化してもよい。

【0053】そしてさらに図9(b)に示すように第2の

10

レジストR2を塗布し小さな凹凸を滑らかにする。

【0054】さらにこの上層に図9(c)に示すように第3のレジストR3として、シプレー社のAZ5214と指称される像反転形のレジストを、回転数3500 rpmでスピンドルコートし、膜厚1 μmのレジスト膜を形成した後、90°C、5分のブリーフを行う。

【0055】次いで、光ステッパーを用いて波長436 nmの光で、該基板51上のレジスト膜R3にパターン転写を行い、マスクパターンの潜像Iを形成する。このときの露光量は20 mJ/cm²とした。そして、105°C、90秒のポストベーティング処理を行い、露光領域の架橋反応を促進する。これにより、露光領域55の表面に表面阻止層55Sが形成される。この後、水銀ランプからの光線を用いて基板表面全体を露光する。このときの露光量は200 mJ/cm²とした。

【0056】そして、この基板を真空チャンバーに設置し、該チャンバー内を窒素で置換したのち、基板を加熱しながらヘキサメチルジシラザンの蒸気を該チャンバー内に導入し、シリル化処理を行う。このシリル化処理により、前記パターン露光工程における露光領域はシリル化されず、図9(d)に示すごとく、残りの非露光領域に選択的にシリル化層56が形成される。

【0057】そして、図9(e)に示すように、酸素ガスによる反応性イオンエッティングによりシリル化層6を残し、シリル化されずに残っている領域を選択的に除去する。このときのエッティング条件は、酸素流量100 SCCM、圧力6.0 Pa、パワー150Wとした。

【0058】このようにして、0.4 μmの高精度パターンを得ることができた。これは、3層レジストを塗布し平坦化したのち、あらかじめパターン露光をおこなっており、シリル化のための露光工程を全面露光することにより、確実にシリル化をおこなうことができたためと思われる。

【0059】すなわち、この場合、パターン露光後の加熱により、パターン露光領域では感光剤と光との反応により生じた物質が触媒となり、樹脂の架橋が促進され、分子量が増大した状態となる。そして、全面露光工程では、前記パターン露光領域以外の領域が深い領域まで完全に露光され、感光剤が感光されて、シリル化されやすい状態となる。一方、分子量が増大した状態となったパターン露光領域では、シリコンの導入が阻止されてシリル化は起こらない。このようにして、コントラストの高いパターン形成が可能となる。

【0060】なお、この工程において、酸素ガスによる反応性イオンエッティングに先立ち、シリル化されていない領域の表面に付着したシリコン化合物を除去するようすれば、さらに高精度のパターン形成が可能となる。

【0061】また、この工程では、パターン露光工程および、シリル化のための露光工程(全面露光)に際し、波長や照射エネルギーなど露光条件を、それぞれに最適

11

となるように独立して選択するようにすればよく、最適条件を選ぶことによりさらなる解像度の向上をはかることが可能となる。

【0062】このようにして得られたレジストパターンをマスクとして、反応性イオンエッチングにより第2のレジスト膜R2をエッチングしさらに第1のレジスト膜R1をエッチングすることにより、極めて高精度で良好なパターン形成が可能となる。なお、前記実施例では、レジストを3層構造にしたが、2層構造にしても良く、また第3のレジスト以外は感光性をもつものであっても良いしもたないものであってもよい。さらに第3のレジストとしては、シリコン含有レジストなど耐エッチング性の高いものであればよい。

【0063】なお、前記実施例では、基板としてシリコン基板を用いたが、ゲルマニウム、ガリウムヒ素等の化合物半導体、あるいはこれらの表面にエピダイキシャル成長層を形成したものなどを用いても良いことはいうまでもない。

【0064】

【発明の効果】以上説明してきたように、本発明によれば、大きな段差のある基板表面においても、高精度のパターン形成を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の製造工程図

【図2】本発明の第2の実施例の半導体装置の製造工程図

【図3】本発明の第3の実施例の半導体装置の製造工程図

【図4】本発明の第4の実施例の半導体装置の製造工程図

【図5】本発明の変形例を示す図

【図6】本発明の変形例を示す図

【図7】本発明の変形例を示す図

【図8】本発明の変形例を示す図

12

【図9】本発明の第5の実施例の半導体装置の製造工程図

【図10】従来例の方法を示す図

【図11】従来例の方法を示す図

【符号の説明】

1 シリコン基板

2 空化シリコン膜

3 酸化シリコン膜

R1 レジスト

R2 レジスト

R3 レジスト

11 シリコン基板

12 ゲート酸化膜

13 ゲート電極

14 保護絶縁膜

15 酸化シリコン膜

16 エッチングストッパー(空化シリコン膜)

17 BPSG膜

18 BPSG膜

19 配線パターン

21 シリコン基板

22 素子分離絶縁膜

23 ピット線コントラクト

24 ゲート絶縁膜

25 ゲート電極

26a, 26b n-型拡散層

27 層間絶縁膜

28 ストレージノードコントラクト

30 ストレージノード電極

31 キャパシタ絶縁膜

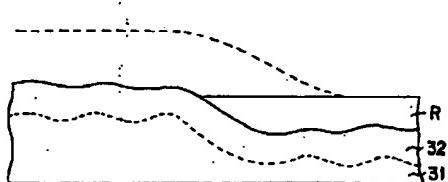
32 ブレード電極(エッチングストッパー)

34 ピット線

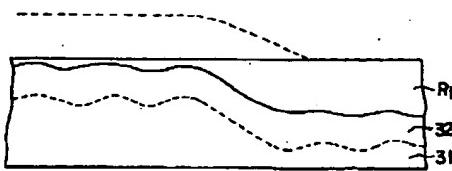
37 BPSG膜

38 BPSG膜

【図5】



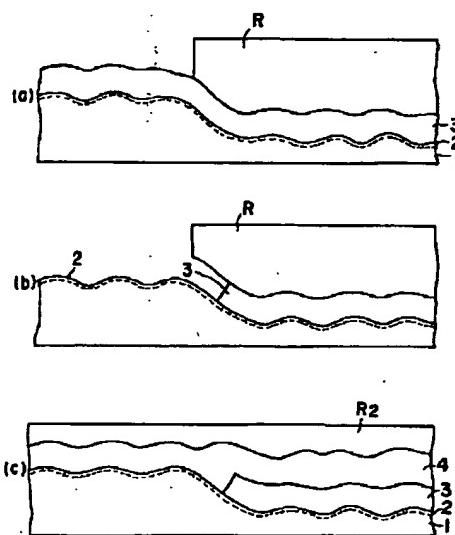
【図6】



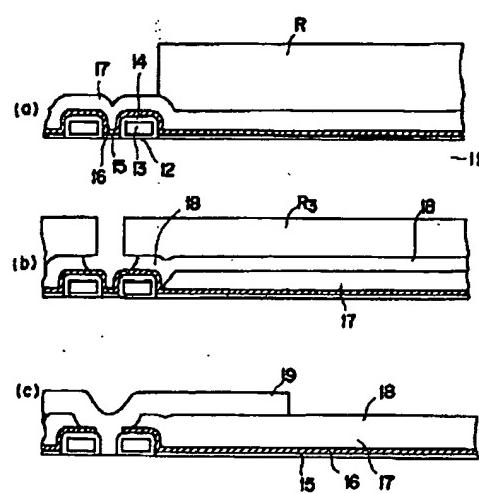
【図11】



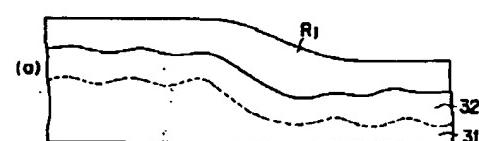
【図1】



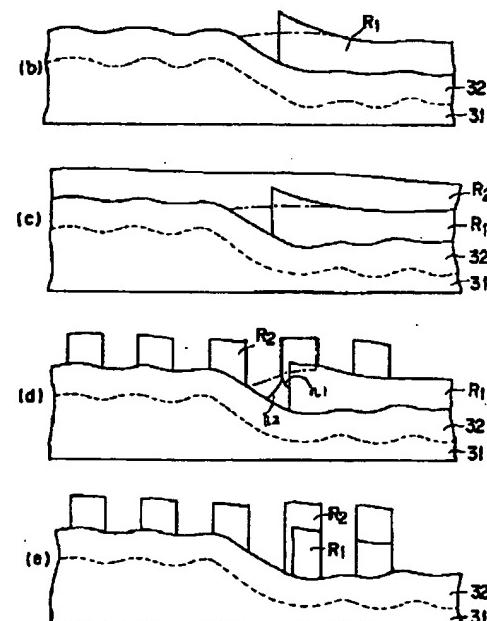
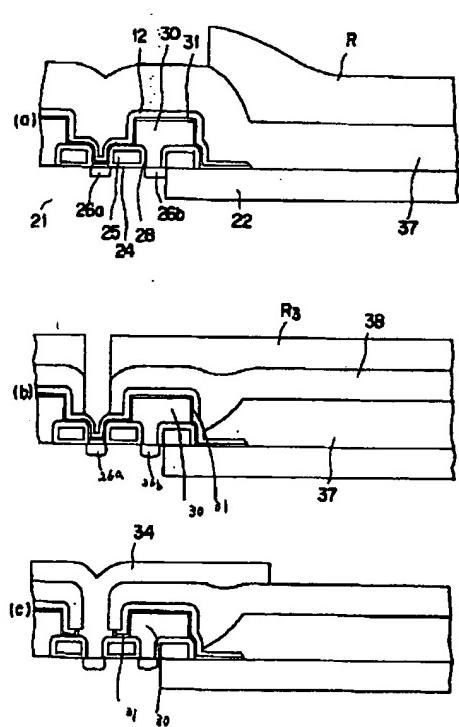
【図2】



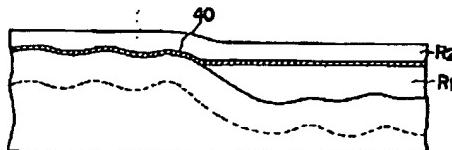
【図4】



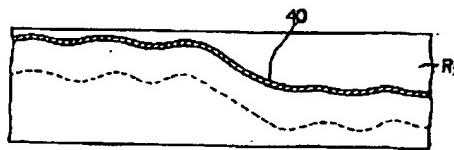
【図3】



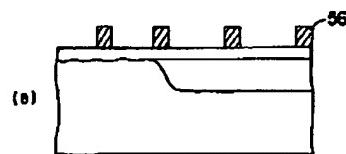
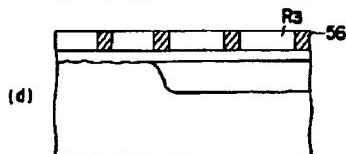
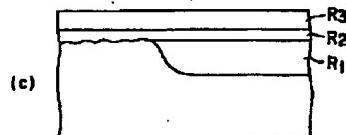
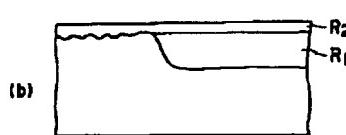
[図7]



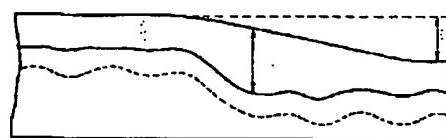
[図8]



[図9]



[図10]



(a)

(b)

(c)

(d)

(e)

フロントページの続き

(72)発明者 松原 義徳

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72)発明者 柴田 剛

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72)発明者 塩原 英志

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内